

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010073773 A  
(43)Date of publication of application: 03.08.2001

(21)Application number: 1020000002620  
(22)Date of filing: 20.01.2000  
(30)Priority: ..  
(51)Int. Cl. G02F 1/136

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: PARK, UN YONG

(54) THIN FILM TRANSISTOR SUBSTRATE FOR LCD AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A thin film transistor substrate for an LCD and a manufacturing method thereof are provided to reduce the number of masks in manufacture of thin film transistor substrates for LCDs by forming data wiring and a semiconductor pattern with one mask.

CONSTITUTION: A gate wiring including a gate wiring(22) and a gate electrode(26) on an insulation substrate(10), and a common wiring including common signal lines(27) and a common electrode(28) connected thereto are formed. A gate insulation film(30) is formed to cover the gate wirings(22,26) and the common wirings(27,28). A semiconductor pattern(42) is formed on the gate insulation film(30). Ohmic contact layers are formed on the semiconductor pattern(42).

Data wirings are formed including source and drain electrodes(65,66) made of the same layer as separated from each other on the contact layers and a data line(62) connected to the source electrode(65). A protective film pattern(70) is formed to cover the data wirings(62,65,66) and have contact holes(71,73,75) for exposing a portion of the drain electrode(66). Pixel wirings are formed including a pixel signal line(88) connected to the drain electrode(66) through the first contact hole(71) and a pixel electrode(87) connected thereto.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20050120)

Notification date of refusal decision ( )

Final disposal of an application (registration)

Date of final disposal of an application (20060522)

Patent registration number (1005907550000)

Date of registration (20060609)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent ( )

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 특2001-0073773  
G02F 1/136 (43) 공개일자 2001년08월03일

(21) 출원번호	10-2000-0002620
(22) 출원일자	2000년01월20일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기 수원시 팔달구 매탄3동 416 박윤용
(74) 대리인	경기도 수원시팔달구매탄1동주공5단지아파트521동1107호 유미특허법인(대표변리사김현호송만호), 김원근
심사청구 : 없음	
(54) 액정 표시 장치용 박막 트랜지스터 기판 및 그어 제조 방법	

요약

기판 위에 게이트선, 게이트 패드, 게이트 전극을 포함하는 게이트 배선과 공통 신호선 및 공통 전극을 포함하는 공통 배선을 형성하고, 게이트 절연막, 반도체층, 중간층 및 도전체층을 연속 증착한 다음 그 위에 형성의 감광막을 도포한다. 마스크를 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴을 형성한다. 감광막 패턴 중에서 소스 전극과 드레인 전극 사이의 채널부에 위치한 제1 부분은 데이터 배선이 형성될 부분에 위치한 제2 부분보다 두께가 작게 되도록 하며, 기타 부분의 감광막은 모두 제거한다. 이는 마스크에 해당도보다 작은 패턴이나 슬릿(slot)을 형성하거나 반도체층을 두어 감광막에 조사되는 빛의 조사량을 조절하거나, 리플로우를 통하여 얇은 두께의 막을 만듦으로써 가능하다. 다음, 기타 부분에 노출되어 있는 도전체층을 건식 또는 습식 식각 방법으로 제거하여 그 하부의 중간층을 노출시키고, 계속해서 노출된 중간층 및 그 하부의 반도체층을 감광막의 제1 부분과 함께 건식 식각 방법으로 동시에 제거한다. 도전체층 표면에 남아 있는 감광막 찌꺼기를 애싱(ash)을 통하여 제거한 후, 채널부의 도전체층 및 그 하부의 중간층 패턴을 식각하여 제거함으로써, 소스 전극과 드레인 전극을 분리한다. 남아 있는 감광막 제2 부분을 제거한 후, 드레인 전극, 데이터선 및 데이터 패드와 게이트 절연막과 함께 게이트 패드를 드러내는 접촉 구멍을 가지는 보호막을 형성하고, 보호막 상부에 보조 데이터선과 보조 데이터 패드를 포함하는 보조 데이터 배선과 화소 배선과 보조 게이트 패드를 형성한다.

대표도

도1

색인어

리플로우, 마스크, 채널, 분해능, 감광막, 공통 전극, 화소 전극

참고문헌

도면의 간단한 설명

- 도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,
- 도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II' 선을 따라 잘라 도시한 단면도이고,
- 도 3a는 본 발명의 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,
- 도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 잘라 도시한 단면도이며,
- 도 4는 도 3a에서 IIIb-IIIb' 선을 따라 잘라 도시한 단면도로서, 도 3b 다음 단계에서의 단면도이고,
- 도 5a는 도 4 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,
- 도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 단면도이며,
- 도 6, 7, 8은 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 단면도로서 도 5b 다음 단계들을 공정 순서에 따라 도시한 것이고,
- 도 9a는 도 8 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,
- 도 9b는 각각 도 9a에서 IXb-IXb' 선을 따라 잘라 도시한 단면도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

액정 표시 장치 중 하나는 시야각을 개선하기 위하여 고안된 것으로서 두 기판 중 하나의 기판에 서로 평행한 선형의 전극이 형성되어 있고 전극에 인가되는 전압을 스위칭하여 두 기판의 평면에 평행하게 배열되어 있는 액정 분자를 재배열시키기 위한 박막 트랜지스터를 가지고 있는 액정 표시 장치가 있으며, 박막 트랜지스터는 두 전극이 형성되어 있는 기판에 형성되는 것이 일반적이다.

박막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이며, 현재는 통상 5광 또는 6광의 마스크가 사용되고 있으나, 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치용 박막 트랜지스터 기판을 제조할 때 마스크 수를 줄일 수 있는 새로운 방법을 제공하는 것이다.

#### 발명의 구성 및 작용

여러한 과제를 달성하기 위하여 본 발명에서는 적어도 두 부분의 두께가 다른 감광막 패턴을 식각 마스크로 사용하여 데이터 배선과 그 하부의 반도체 패턴을 하나의 마스크를 이용한 사진 식각 공정으로 형성한다.

예배, 감광막 패턴은 데이터 배선으로 가지지 않는 반도체 패턴에 대응하는 부분에 위치하며 제1 두께를 가지는 제1 부분과 데이터 배선에 대응하는 부분에 위치하며 제1 부분보다 두꺼운 두께를 가지는 제2 부분과 제1 및 제2 부분을 제외한 부분에 위치하며 두께를 가지지 않는 제3 부분을 포함할 수 있으며, 소스 전극 및 드레인 전극 사이의 채널부에 위치하며 제1 두께를 가지는 제1 부분과 데이터 배선에 대응하는 부분에 위치하며 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 제1 및 제2 부분을 제외한 부분에 위치하며 두께를 가지지 않는 제3 부분을 포함할 수 있다.

본 발명에 따르면, 먼저 절연 기판 위에 게이트선 및 이와 연결된 게이트 전극을 포함하는 게이트 배선, 공통 신호선 및 이와 연결된 공통 전극을 포함하는 공통 배선과 공통 전극과 평행하게 배열되어 있는 화소 전극을 포함하는 화소 배선을 형성한다. 이어, 게이트 배선, 공통 배선 및 화소 배선을 덮는 게이트 절연막 및 그 위의 반도체 패턴과 저항성 접촉층 패턴을 형성하고, 그 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스 전극 및 드레인 전극과, 소스 전극과 연결된 데이터선을 포함하는 데이터 배선을 형성한다. 데이터 배선을 덮으며 드레인 전극과 화소 배선을 노출시키는 제1 접촉 구멍을 가지고 있는 보호막 패턴을 형성하고, 제1 접촉 구멍을 통하여 드레인 전극과 화소 배선을 연결하는 보조 전극을 형성한다. 여기서, 데이터 배선과 반도체 패턴은 하나의 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 소스 전극 및 드레인 전극 사이의 채널부에 대응하는 부분을 포함하며 제1 두께를 가지는 제1 부분과 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 두께가 없는 제3 부분을 포함한다.

여기에서, 사진 식각 공정에 사용되는 마스크는 빛이 일부만 투과될 수 있는 첫째 부분과 빛이 완전히 투과될 수 있는 둘째 부분 및 빛이 완전히 투과될 수 없는 셋째 부분을 포함한다. 감광막 패턴은 양성 감광막이며, 마스크의 첫째, 둘째, 셋째 부분은 노광 과정에서 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응하도록 정렬되는 것이 바람직하다.

예배, 마스크의 첫째 부분은 반투명막을 포함하거나, 노광 단계에서 사용되는 광원의 분해능보다 크기가 작은 패턴을 포함할 수 있다.

여와는 달리 감광막 패턴의 제1 부분을 리플로우를 통하여 형성할 수도 있다.

한편, 감광막 패턴의 제1 부분의 두께는 제2 부분의 두께의 1/2 이하인 것이 좋으며, 특히, 감광막 패턴의 제2 부분의 두께는  $1\ \mu\text{m}$  내지  $2\ \mu\text{m}$ 이고, 제1 부분의 두께는 2,000-5,000 Å, 특히 3,000-4,000 Å인 것이 바람직하다.

본 발명의 실시예에 따르면, 데이터 배선과 접촉층 패턴 및 반도체 패턴을 하나의 마스크를 사용하여 형성할 수 있다. 이 경우, 게이트 절연막, 반도체 패턴, 접촉층 패턴 및 데이터 배선은 다음과 같은 단계를 거쳐서 형성된다. 먼저, 게이트 절연막, 반도체층, 접촉층 및 도전층을 증착하고, 그 위에 감광막을 도포한 후, 마스크를 통하여 노광, 현상하여 제2 부분이 데이터 배선의 상부에 위치하도록 감광막 패턴을 광택한다. 이어, 제3 부분 아래의 도전층과 그 하부의 접촉층 및 반도체층, 제1 부분과 그 아래의 도전층 및 접촉층, 그리고 제2 부분의 일부 두께를 식각하여 도전층, 접촉층, 반도체층으로 각각 이루어진 데이터 배선, 접촉층 패턴, 반도체 패턴을 형성한 후 감광막 패턴을 제거한다. 이 때, 데이터 배선, 접촉층 패턴, 반도체 패턴은 다음의 세 단계를 거쳐서 형성할 수 있다. 먼저, 제3 부분 아래의 도전층을 식각 또는 건식 식각하여 접촉층을 노출시키고, 다음, 제3 부분 아래의 접촉층 및 그 아래의 반도체층을 제1 부분과 함께 건식 식각하여 제3 부분 아래의 게이트 절연막과 제1 부분 아래의 도전층을 노출시킴과 동시에 반도체

층으로 이루어진 반도체 패턴을 형성한다. 마지막으로, 제1 부분 아래의 도전층과 그 아래의 접촉층을 식각하여 제거함으로써 데이터 배선과 접촉층 패턴을 완성한다.

여기서, 데이터 배선을 전선 식각이 가능한 물질로 형성하는 경우에는 제1 부분의 감광막 패턴의 두께에 따라 한 번의 식각 단계로 반도체층 패턴, 데이터 배선 및 접촉층 패턴을 완성할 수도 있다.

이때, 반도체 패턴은 데이터 배선의 밖으로 나오도록 형성할 수 있으며, 이 경우에는 감광막 패턴의 제1 부분이 데이터 배선의 주변부에 대응하는 부분에 위치하도록 형성하는 것이 바람직하다.

한편, 게이트 배선은 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 데이터 배선은 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하고, 보호막 및 게이트 절연층은 게이트 패드 및 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며, 이 경우 제2 및 제3 접촉 구멍을 통하여 게이트 패드 및 데이터 패드와 연결되며 보조 도전막과 동일한 층으로 보조 게이트 패드 및 보조 데이터 패드를 형성하는 단계를 더 포함할 수 있다.

또한, 보호막은 데이터 배선을 드러내는 제4 접촉 구멍을 가지고 있으며, 제4 접촉 구멍을 통하여 데이터선과 연결되어 있으며, 보조 도전막과 동일한 층으로 보조 데이터선을 형성하는 단계를 더 포함할 수 있다.

이때, 보조 도전막 또는 드레인 전극은 공통 배선과 중첩되어 유지 용량을 형성하도록 다양한 구조를 취할 수 있다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

앞서 설명한 것처럼 본 발명에서는 동일한 층으로 만들어지는 소스 전극과 드레인 전극을 분리할 때 두 전극 사이에 두께가 얇은 감광막 패턴을 형성함으로써 공정 수를 줄인다.

먼저, 도 1 내지 도 3을 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치를 박막 트랜지스터 기판의 배치도이고, 도 2 및 도 3은 각각 도 1에 도시한 박막 트랜지스터 기판을 III-III 선 및 III-III 선을 따라 잘라 도시한 단면도이다.

먼저, 절연 기판(10) 위에 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 만들어진 게이트 배선 및 공통 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 주시 신호선 또는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 주시 신호를 인기 받아 게이트선(22)으로 전달하는 게이트 패드(24) 및 게이트선(22)의 일부분 박막 트랜지스터의 게이트 전극(26)을 포함한다. 공통 배선은 게이트선(22)과 평행하게 형성되어 있으며 공통 전압 위퍼의 신호를 외부로부터 인기 받는 공통 신호선(27) 및 서로 방향으로 형성되어 있으며 이중의 공통 신호선(27)을 연결하는 공통 전극(28)을 포함한다.

게이트 배선(22, 26, 24) 및 공통 배선(27, 28)은 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질, 특히 패드층을 물질로 사용되는 IT0와이 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 또한, 외부와 전기적으로 연결되는 패드부를 보강하기 위하여 패드부는 배선용 물질과 패드용 물질을 혼합하여 형성할 수 있다. 패드용 물질을 IT0로 형성하는 경우에 IT0와이 접촉 특성이 좋은 물질로는 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta) 등이 있으며, Cr/Al(또는 Al 합금)의 이중층 또는 Al/Mo의 이중층을 그 예로 들 수 있다.

게이트 배선(22, 26, 24) 및 공통 배선(27, 28) 위에는 질화규소(SiN<sub>x</sub>) 위퍼로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 26, 24) 및 공통 배선(27, 28)을 덮고 있다.

게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 위퍼의 반도체로 이루어져 있어, 박막 트랜지스터 채널이 형성되는 채널부(c)를 포함하는 반도체 패턴(42)이 형성되어 있으며, 반도체 패턴(42) 위에는 인(P) 위퍼의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 위퍼로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56)이 형성되어 있다.

접촉층(55, 56) 위에는 Mo 또는 MoW 합금, Cr, Al 또는 Al 합금, Ta 위퍼의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 서로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인기 받는 데이터 패드(64), 그리고 데이터선(62)의 분기인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 64, 65)와 분리되어 있으며 게이트 전극(23) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)을 포함한다.

데이터 배선(62, 64, 65, 66)도 게이트 배선(22, 26, 24)과 마찬가지로 단일층으로 형성할 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다.

접촉층(55, 56) 또는 그 하부의 반도체 패턴(42)과 그 상부의 데이터 배선(62, 64, 65, 66)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66)과 연결이 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 64, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하다.

한편, 반도체 패턴(42)은 박막 트랜지스터의 채널부(C)를 채워하면 데이터 배선(62, 64, 65, 66) 및 접촉층 패턴(55, 56)과 동일한 모양을 하고 있다. 구체적으로는, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 64, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인

전극층 접촉층 패턴(56)도 분리되어 있으나, 백막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 백막 트랜지스터의 채널을 생성한다.

데이터 배선(62, 64, 65, 66) 및 데이터 배선으로 거처지지 않은 반도체 패턴(42) 위에는 보호막(70)이 형성되어 있으며, 보호막(70)은 드레인 전극(66), 데이터선(62) 및 데이터 패드(64)를 드러내는 접촉 구멍(71, 73, 76)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지고 있다. 보호막(70)은 질화규소나 이산화규소 막의 유기 절연 물질을 이루어질 수 있다.

보호막(70) 위에는 데이터 배선과 전기적으로 연결되어 있는 보조 데이터 배선을 형성되어 있다. 보조 데이터 배선은 데이터선부(62, 65)와 중첩되어 나란하며 접촉 구멍(73)을 통하여 데이터선(62)과 전기 연결되어 있는 보조 데이터선(82)과 접촉 구멍(76)을 통하여 데이터 패드(64)와 연결되어 있는 보조 데이터 패드(84)를 포함한다. 또한, 보호막(70) 상부에는 공동 전극(28)과 평행하게 마주하며 확산 층까지 전이되는 하소 전극(27)과 하소 전극(87)의 상부 및 하부에 연결되어 가로 방향으로 뻗어 있으며, 접촉 구멍(71)을 통하여 드레인 전극(66)과 연결되어 있는 하소 전극선(88)을 포함한다. 하소 배선(87, 88)은 공동 배선(27, 28) 또는 게이트 배선(22, 26)과 중첩되어 유기 절연기를 이룬다. 이때, 보조 데이터 배선(82, 84) 및 하소 배선(87, 88)은 InO(indium tin oxide) 또는 InZ(indium zinc oxide) 막의 투명막 도전 물질 또는 불투명막 도전 물질로 만들어질 수 있다. 한편, 게이트 패드(24) 위에는 접촉 구멍(74)을 통하여 있고 연결되는 보조 게이트 패드(86)가 형성되어 있으며, 보조 게이트 패드(86) 및 보조 데이터 배선(84) 등은 패드(24, 64)와 외부 회로 장치와의 접촉성을 보인다고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

그러면, 본 발명의 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 3a 내지 9b와 일시의 도 1 내지 도 2를 참고로 하여 상세히 설명한다.

먼저, 도 3a 내지 3b에 도시한 바와 같이, 금속 막의 도전체층을 스터팅 막의 방법으로 1,000 Å 내지 3,000 Å의 두께로 증착하고 첫째 마스크를 이용하여 건식 또는 습식 식각하여, 기판(10) 위에 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선과 공동 전극선(28) 및 공동 전극(28)을 포함하는 공동 배선을 형성한다.

다음, 도 4에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 금속 막의 도전체층(60)을 스터팅 막 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(110)을 1 μm 내지 2 μm의 두께로 도포한다.

그 후, 제2 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 5b에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 백막 트랜지스터의 채널부(C), 즉 소스극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(B), 즉 데이터 배선(62, 64, 65, 66)이 형성된 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(B)에 남아 있는 감광막(112)의 두께를 본 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 제2 부분(B)의 두께는 1.6 내지 1.9μm 정도로 형성하고, 제1 부분(114)의 두께는 2,000-5,000 Å 이하의 범위에서 3,000-4,000 Å 정도로 형성하는 것이 좋다. 여기서, 감광막이 양성인 경우에 데이터 배선부(B)의 두께율은 3% 이하이고, 채널부(C)의 두께율은 20-60%, 더욱 바람직하게는 30-40, 기타 부분(B)의 두께율은 90% 이상인 되도록 마스크를 제작하는 것이 바람직하다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, 여기에서는 양성 감광막을 사용하는 경우에 대하여 두 가지 방법을 제시한다. 이 경우 감광막의 두께는 통상적인 두께보다 두꺼운 1.6 내지 2μm 정도로 형성하는 것이 좋으며, 이는 현상 후 남은 막을 도제하기 쉽게 하기 위함이다.

그 중 첫 번째는 마스크에 해상도보다 작은 패턴, 예를 들면 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 두어 빛의 조사량을 조절하는 것이다. 이때, 슬릿 패턴의 선풍력이나 격자는 노출시 사용되는 노광기의 분해능보다 작도록 하여 두께율만을 조절할 수 있도록 해야 한다. 한편, 반투명막을 사용하는 경우에는 마스크를 제작할 때 막의 두께를 조절하여 빛의 투과율을 조절할 수 있으며, 다른 투과율을 가지는 다수의 막을 다층적으로 형성하여 빛의 투과율을 조절할 수 있다. 이때, 빛의 조사량을 조절하기 위해서는 크롬(Cr), MgO, MoSi<sub>3</sub>, a-Si 등을 이용할 수 있다.

이와 같이 빛의 투과율을 조절할 수 있는 슬릿 패턴이나 반투명막이 형성되어 있는 마스크를 통하여 감광막에 빛을 조사하면, 감광막의 고분자들은 빛에 의하여 분해되며, 빛의 조사량이 늘어날수록, 고분자들도 분해 정도가 달라지게 된다. 빛에 완전히 노출되는 부분의 고분자들도 완전히 분해될 때 노광을 마치게 되면, 빛에 적정 노출되는 부분에 비하여 슬릿 또는 반투명막이 형성되어 있는 부분의 조사량이 적으므로 이 부분에서 감광막 분자들은 분해되지 않은 상태이다. 이때, 노광 시간을 길게 하면 모든 부분의 고분자들이 완전히 분해되므로 그렇게 되지 않도록 해야 한다. 이어 감광막을 현상하면, 고분자들이 분해되어 있는 부분의 감광막은 거의 초기 상태의 두께로 남고, 슬릿 패턴 또는 반투명막에 의해 빛이 적게 조사된 부분에는 중간 두께의 감광막이 남고, 빛에 의해 완전히 분해된 부분에는 감광막이 거의 남지 않는다. 이러한 방법을 이용하면, 부분적으로 다른 두께를 가지는 감광막 패턴(112, 114)을 형성할 수 있다.

다음 방법은 감광막의 리플로우(reflow)를 이용하는 것이다. 이 경우에는 빛이 완전히 투과될 수 있는 부분과 빛이 완전히 투과될 수 없는 부분으로 나뉘어진 동상의 마스크를 사용하여 감광막이 아래 있거나 옆선 두께로 남아 있는 동상의 감광막 패턴이 만든다. 이어, 이러한 감광막 패턴을 리플로우시켜 남아 있는 감광막이 없는 부분으로 흘러내려 중간 두께를 가지는 새로운 감광막 패턴을 형성한다.

이러한 방법을 통하여 위치에 따라 두께가 서로 다른 감광막 패턴(112, 114)을 만들어낸다.

이어, 감광막 패턴(112, 114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한

석각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

먼저, 도 6에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되지 않고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Si 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cu는 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이나 금을 식각할을 이용하는 것이 좋다. 도전체층(60)이 Cu인 습식 식각의 경우에는 식각액으로  $\text{CeHClO}_4$ 를 사용할 수 있고, 도전체층(60)이 Mo나 MoW인 건식 식각의 경우 식각 기체로는  $\text{CF}_4$ 와  $\text{HCl}$ 의 혼합 기체나  $\text{CF}_4$ 와  $\text{O}_2$ 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 도 6에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

이어, 도 7에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어,  $\text{SF}_6$ 과  $\text{HCl}$ 의 혼합 기체나,  $\text{SF}_6$ 과  $\text{O}_2$ 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(50)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면, 도 7에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42)이 생성된다. 도면 부호 57은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다. 애싱하는 방법으로는 플라즈마 기체를 이용하거나 마이크로파(microwave)를 이용할 수 있으며, 주로 사용하는 조성물은 산소를 들 수 있다.

다음, 도 8에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하다. 이는 식각 선택비가 크지 않을 경우 식각 종결을 찾기가 어려우 채널부(C)에 남은 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면,  $\text{SF}_6$ 과  $\text{O}_2$ 의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(67)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 제2 부분(112)을 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체로는 앞에서 언급한  $\text{CF}_4$ 와  $\text{HCl}$ 의 혼합 기체나  $\text{CF}_4$ 와  $\text{O}_2$ 의 혼합 기체를 들 수 있으며,  $\text{CF}_4$ 와  $\text{O}_2$ 를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 9a에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66)과 그 하부의 접촉층 패턴(55, 56)이 생성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

또한, 데이터 배선을 건식 식각이 가능한 물질로 형성하는 경우에는 감광막 패턴의 두께를 조절하여 앞서 설명한 바와 같이 여러 번의 중간 공정을 거치지 않고 한 번의 식각 공정으로 접촉층 패턴, 반도체층 패턴, 데이터 배선을 형성할 수 있다. 즉, B 부분의 금속층(60), 접촉층(50) 및 반도체층(40)을 식각하는 동안 C 부분에서는 감광막 패턴(114)과 그 하부의 접촉층(50)을 식각하고 A 부분에서는 감광막 패턴(112)의 일부분 식각하는 조건을 선택하여 한 번의 공정으로 형성할 수도 있다.

앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 원하는 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

이와 같이 하여 데이터 배선(62, 64, 65, 66)을 형성한 후, 도 9a 내지 9b에 도시한 바와 같이 절취공수를 CV0 방법으로 증착하거나 유기 절연 물질을 스퍼 코팅하여 2,000 Å 이상의 두께를 가지는 보호막(70)을 형성한다. 이어 제3 마스크를 이용하여 보호막(70)을 게이트 절연막(30)과 함께 식각하여 데이터선(62), 게이트 패드(24), 데이터 패드(64) 및 드레인 전극(66)을 각각 드러내는 접촉 구멍(73, 74, 76, 71)을 형성한다.

마지막으로, 도 1 내지 도 2에 도시한 바와 같이, 투명하고 도전 물질 또는 불투명하고 도전 물질을 증착하고 제4 마스크를 사용하여 식각하여 보조 데이터 배선(82, 84), 보조 게이트 패드(86) 및 외소 배선(87, 88)을 형성한다.

이와 같이 본 실시예에서는 데이터 배선(62, 64, 65, 66)과 그 하부의 접촉층 패턴(55, 56) 및 반도체 패턴(42)을 하나의 마스크를 이용하여 형성하여 제조 공정을 단순화할 수 있다. 또한, 데이터 배선을 이중으로 형성하여 배선의 단선을 방지할 수 있다.

#### 발명의 효과

이와 같이, 본 발명에 따르면 액정 표시 장치용 박막 트랜지스터 기판을 제조할 때 마스크의 수를 효과적으로 줄이면서도 배선의 단선을 방지할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

절연 기판 위에 게이트선 및 이와 연결된 게이트 전극을 포함하는 게이트 배선, 공통 신호선 및 이와 연결된 공통 전극을 포함하는 공통 배선을 형성하는 단계,

상기 게이트 배선 및 공통 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 반도체 패턴을 형성하는 단계,

상기 접촉층 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스 전극 및 드레인 전극과,

상기 소스 전극과 연결된 데이터선을 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선을 덮으며 상기 드레인 전극 일부를 노출시키는 제1 접촉 구멍을 가지고 있는 보호막 패턴을 형성하는 단계,

상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 신호선과 이와 연결된 화소 전극을 포함하는 화소 배선을 형성하는 단계를 포함하며,

상기 데이터 배선과 상기 반도체 패턴은 하나의 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 상기 감광막 패턴은 상기 소스 전극 및 드레인 전극 사이의 채널부에 대응하는 부분을 포함하며 제1 두께를 가지는 제1 부분과 상기 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 상기 제1 및 제2 부분을 제외한 부분에 위치하며 두께가 없는 제3 부분을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

##### 청구항 2

제1항에서,

상기 사진 식각 공정에 사용되는 마스크는 빛에 일부만 투과될 수 있는 첫째 부분과 빛이 완전히 투과될 수 없는 둘째 부분 및 빛이 완전히 투과될 수 있는 셋째 부분을 포함하고, 상기 감광막 패턴은 양성 감광막이며, 상기 마스크의 첫째, 둘째, 셋째 부분은 노광 과정에서 상기 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응하도록 경화되는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

##### 청구항 3

제2항에서,

상기 마스크의 첫째 부분은 반투명막을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

##### 청구항 4

제2항에서,

상기 마스크의 첫째 부분은 상기 노광 단계에서 사용되는 광원의 분해능보다 크기가 작은 패턴을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

##### 청구항 5

제1항에서,

상기 감광막 패턴의 제1 부분은 러플로우를 통하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제

조 방법.

청구항 6

제1항에서,

상기 감광막 패턴의 제1 부분의 두께는 상기 제2 부분의 두께의 반 이하인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 7

제6항에서,

상기 감광막 패턴의 제2 부분의 두께는 1  $\mu\text{m}$  내지 2  $\mu\text{m}$ 인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 8

제7항에서,

상기 감광막 패턴의 제1 부분의 두께는 2,000-5,000 Å 범위의 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 9

제1항에서,

상기 데이터 배선과 상기 접촉층 패턴 및 상기 반도체 패턴을 하나의 마스크를 사용하여 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 10

제9항에서,

상기 게이트 절연막, 상기 반도체 패턴, 상기 접촉층 패턴 및 상기 데이터 배선의 형성 단계는,

상기 게이트 절연막, 반도체층, 접촉층 및 도전층을 증착하는 단계,

상기 도전층 위에 감광막을 도포하는 단계,

상기 감광막을 상기 마스크를 통하여 노광하는 단계,

상기 감광막을 현상하여 상기 제2 부분이 상기 데이터 배선의 상부에 위치하도록 상기 감광막 패턴을 형성하는 단계,

상기 제3 부분 아래의 상기 도전층과 그 하부의 접촉층 및 반도체층, 상기 제1 부분과 그 아래의 상기 도전층 및 접촉층, 그리고 상기 제2 부분의 일부 두께를 식각하여 상기 도전층, 상기 접촉층, 상기 반도체층으로 각각 이루어진 상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체 패턴을 형성하는 단계,

상기 감광막 패턴을 제거하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 11

제10항에서,

상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체 패턴의 형성 단계는,

상기 제3 부분 아래의 상기 도전층을 습식 또는 건식 식각하여 상기 접촉층을 노출시키는 단계,

상기 제3 부분 아래의 접촉층 및 그 아래의 상기 반도체층을 상기 제1 부분과 함께 건식 식각하여 상기 제3 부분 아래의 상기 게이트 절연막과 상기 제1 부분 아래의 상기 도전층을 노출시키고 동시에 상기 반도체층으로 이루어진 상기 반도체 패턴을 완성하는 단계,

상기 제1 부분 아래의 상기 도전층과 그 아래의 상기 접촉층을 식각하여 제거함으로써 상기 데이터 배선과 상기 접촉층 패턴을 완성하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 12

제1항에서,

상기 게이트 배선은 상기 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 상기 데이터 배선은 상기 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며,

상기 보호막 패턴 및 상기 게이트 절연막은 상기 게이트 패드 및 상기 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며,

상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 연결되며 상기 보조 전극과 동일한 층으로 보조 게이트 패드 및 보조 데이터 패드를 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.



청구항 13

제14항에서,

상기 보호막 패턴은 상기 데이터선을 드러내는 제4 접촉 구멍을 가지고 있으며,

상기 제4 접촉 구멍을 통하여 상기 데이터선과 연결되며 상기 화소 배선과 동일한 층으로 보조 데이터선을 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기반의 제조 방법.

청구항 14

기판,

상기 기판 위에 형성되어 있으며, 가로 방향으로 뻗어 있는 주시 신호를 전달하는 게이트선과 상기 게이트선의 일부인 박막 트랜지스터의 게이트 전극을 포함하는 게이트 배선,

상기 기판 위에 형성되어 있으며, 상기 게이트선과 동일한 방향으로 뻗어 있는 공통 신호선 및 상기 공통 신호선에 연결되어 있는 공통 전극을 포함하는 공통 배선,

상기 게이트 배선 및 공통 배선을 덮고 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있으며, 반도체로 이루어진 반도체 패턴,

상기 반도체 패턴 상부에 형성되어 있는 접촉층 패턴,

상기 접촉층 패턴 위에 형성되어 있으며, 세로 방향으로 뻗어 있는 데이터선, 상기 데이터선의 분지인 상기 박막 트랜지스터의 소스 전극, 상기 소스 전극과 분리되어 상기 게이트 전극을 중심으로 상기 소스 전극과 마주하는 상기 박막 트랜지스터의 드레인 전극을 포함하는 데이터 배선,

상기 데이터 배선 밑에 덮고 있으며, 상기 드레인 전극을 드러내는 제1 접촉 구멍을 가지는 보호막 패턴,

상기 보호막 패턴 위에 형성되어 상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있으며, 상기 공통 전극과 평행하게 배열되어 있는 화소 전극을 포함하는 화소 배선,

을 포함하는 액정 표시 장치용 박막 트랜지스터 기반.

청구항 15

제14항에서,

상기 게이트 배선은 상기 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 상기 데이터 배선은 상기 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며,

상기 보호막 패턴은 및 상기 게이트 절연막은 상기 게이트 패드 및 상기 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며,

상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 연결되며 상기 화소 배선과 동일한 층으로 형성되어 있는 보조 게이트 패드 및 보조 데이터 패드를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기반.

청구항 16

제14항에서,

상기 화소 배선과 상기 공통 배선은 일부 중첩되어 유지 축전기를 이루는 액정 표시 장치용 박막 트랜지스터 기반.

청구항 17

제14항에서,

상기 화소 배선은 두명한 도전성 물질인 ITO(indium tin oxide)로 이루어진 박막 트랜지스터 기반.

청구항 18

제14항에서,

상기 보호막 패턴은 상기 데이터선을 드러내는 제4 접촉 구멍을 가지고 있으며,

상기 제4 접촉 구멍을 통하여 상기 데이터선과 연결되어 있으며, 상기 화소 배선과 동일한 층으로 형성되어 있는 보조 데이터선을 더 포함하는 액정 표시 장치용 박막 트랜지스터 기반.

청구항 19

제14항에서,

상기 접촉층 패턴은 상기 데이터 배선과 동일한 형태를 가지는 박막 트랜지스터 기반.

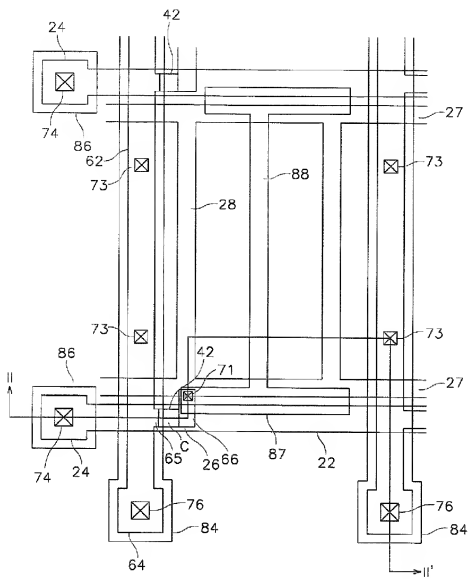
청구항 20

제14항에서,

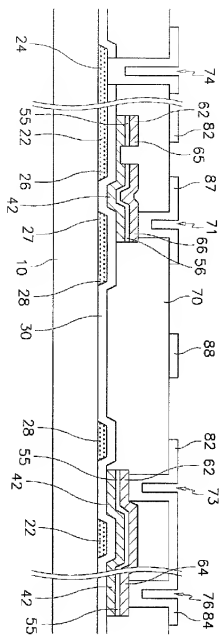
상기 반도체 패턴은 상기 채널부를 제외하면 상기 데이터 배선과 동일한 모양인 박막 트랜지스터 기반.

도면

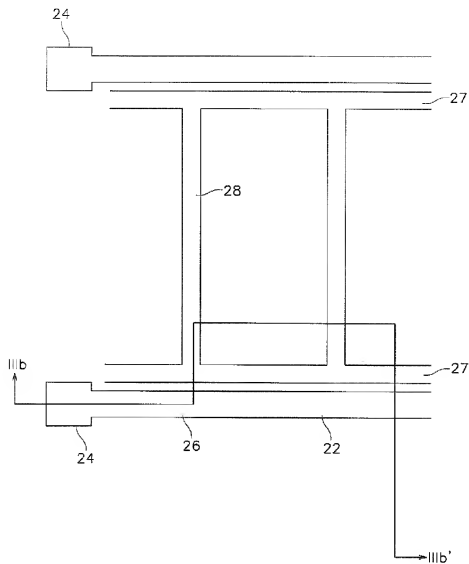
도면 1



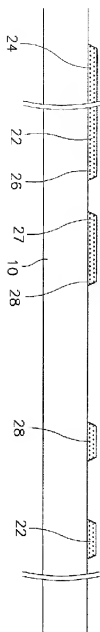
2011

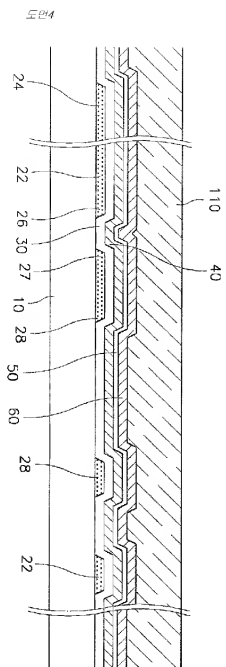


도 9a

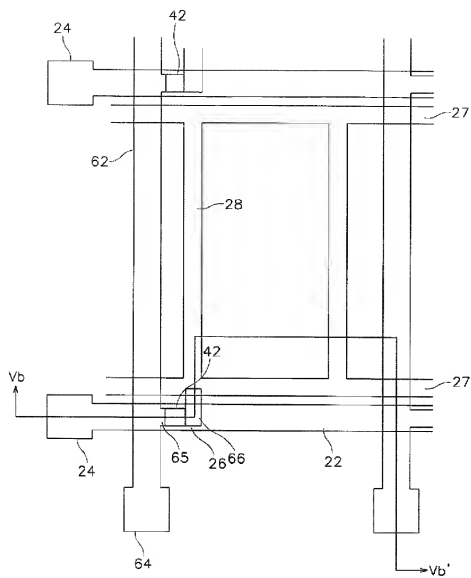


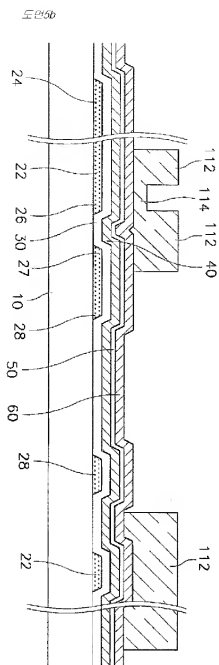
도 36





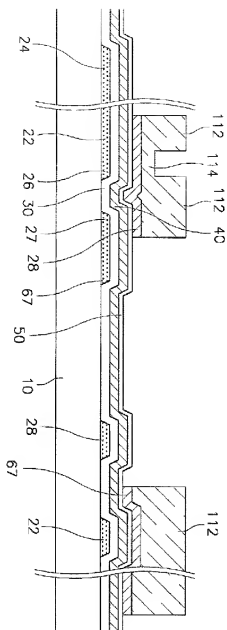
도 19a







도 6



도 17

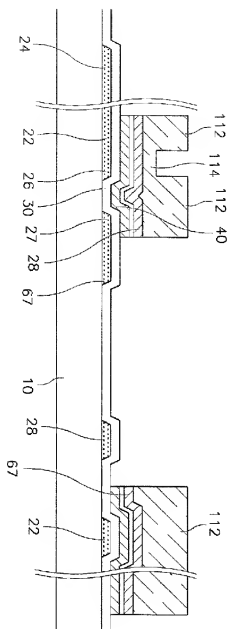
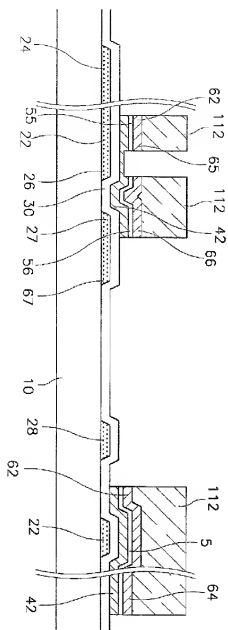


图 8





9625

